

Esami CMOS

by www.stefanoivancich.com

Esame 2017-06-15

Si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = A + B + C(D + E)$

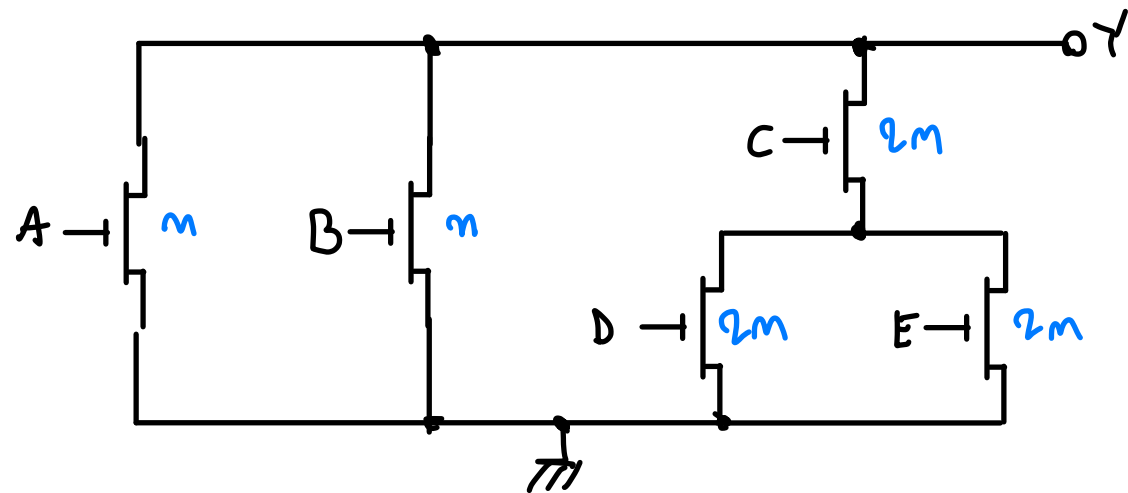
Per la porta logica disegnata calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinché la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello di un inverter con rapporti di dimensioni $n = W_n / L_n$ e $p = W_p / L_p$; nel calcolo si cerchi di minimizzare l'area della porta stessa.

$$\overline{A+B} = \bar{A} \cdot \bar{B}$$

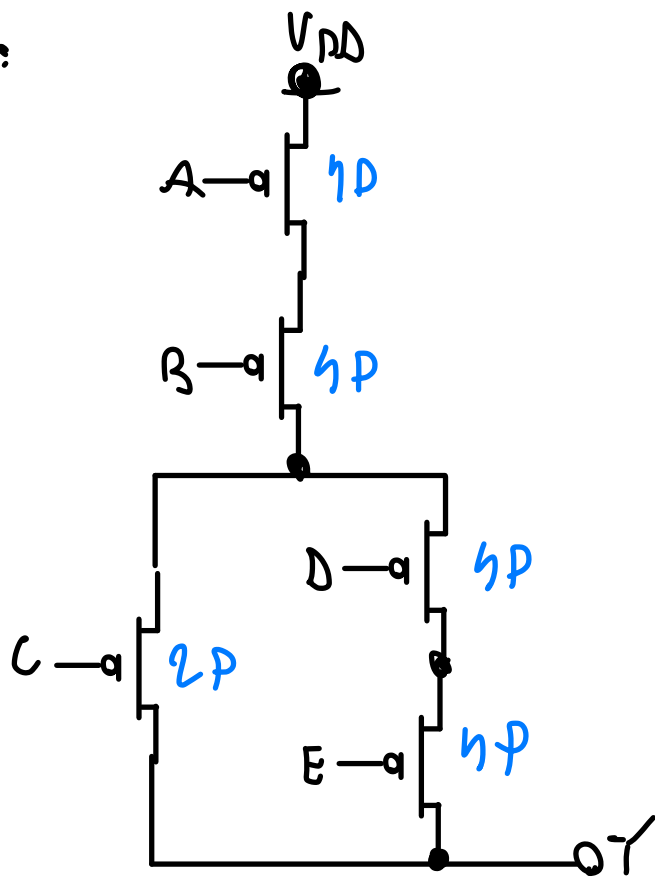
$$\overline{A \cdot B} = \bar{A} + \bar{B}$$

$$Y = \overline{A+B+C(D+E)}$$

PULL-DOWN:



PULL-UP:



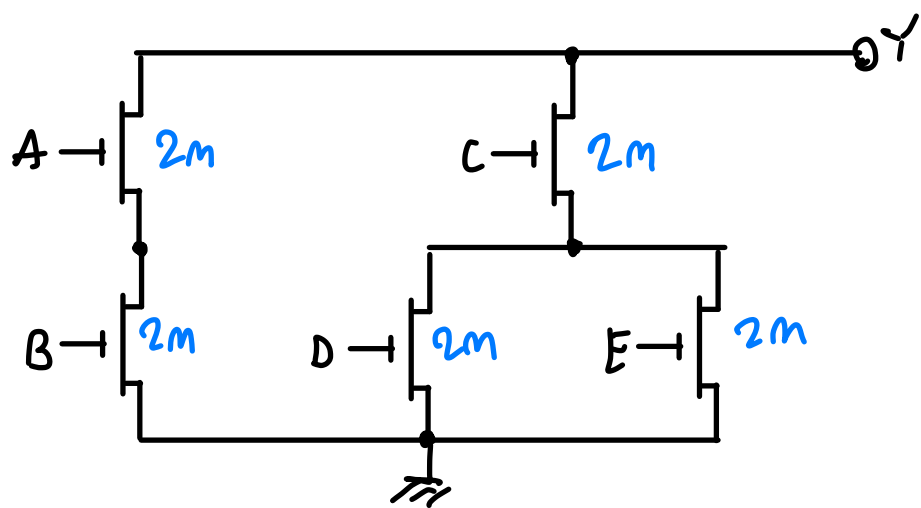
Esame 2017-07-13

Si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = A * B + C * D + C * E$, si cerchi di minimizzare il numero di transistor utilizzati.

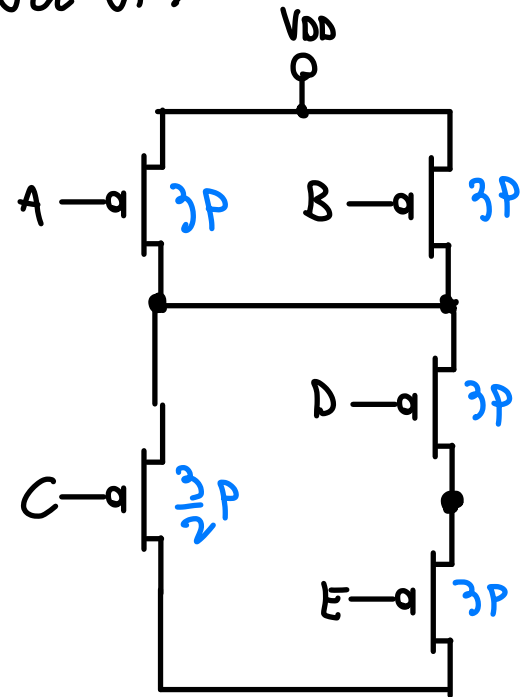
Per la porta logica disegnata calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinché la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello di un inverter con rapporti di dimensioni $n = W_n / L_n$ e $p = W_p / L_p$; nel calcolo si cerchi di minimizzare l'area della porta stessa.

$$Y = \overline{AB + CD + CE} = \overline{AB + C(D+E)} = \overline{AB} \cdot \overline{C(D+E)} = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D} \cdot \bar{E})$$

PULL DOWN:



PULL-UP:



$$\frac{1}{3} + \frac{1}{c} = 1 \Rightarrow \frac{1}{c} = \frac{2}{3} \Rightarrow c = \frac{3}{2}$$

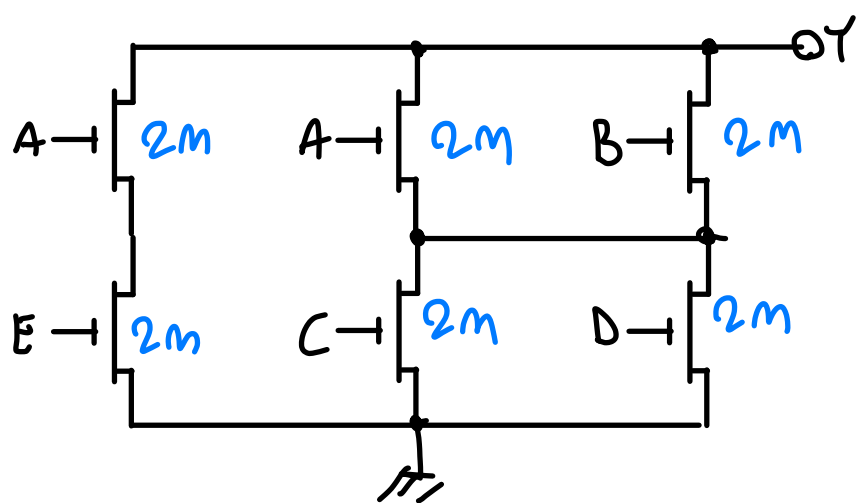
Esame 2017-07-25

Si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = A * E + (A + B)(C + D)$; si cerchi di minimizzare il numero di transistor utilizzati.

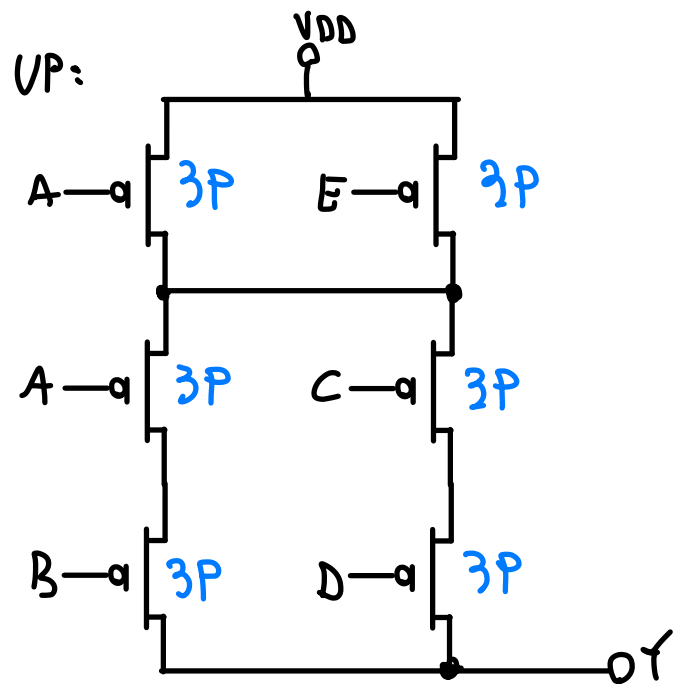
Per la porta logica disegnata calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinché la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello di un inverter con rapporti di dimensioni $n = W_n / L_n$ e $p = W_p / L_p$; nel calcolo si cerchi di minimizzare l'area della porta stessa.

$$Y = \overline{AE + (A+B)(C+D)}$$

PULL DOWN:



PULL-UP:



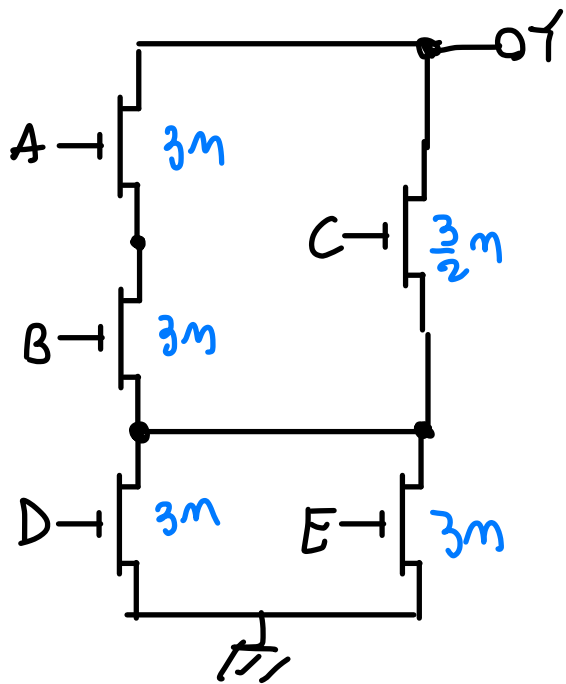
Esame 2018-01-23



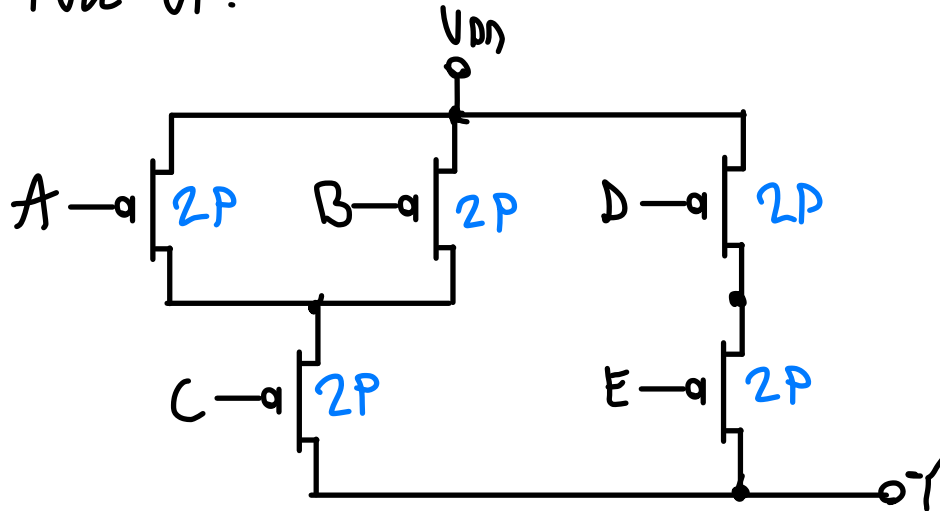
(4) Disegnare un circuito CMOS che realizzi la funzione logica $\overline{Y} = (AB + C)(D + E)$. Supponendo che $k_n = 3 k_p$, dimensionare i transistor in modo che $t_{lh} = t_{hl}$.

$$Y = \overline{(AB + C)(D + E)}$$

PULL-DOWN:



PULL-UP:



$$\frac{1}{3} + \frac{1}{C} = 1 \Rightarrow \frac{1}{C} = \frac{2}{3} \Rightarrow C = \frac{3}{2}$$

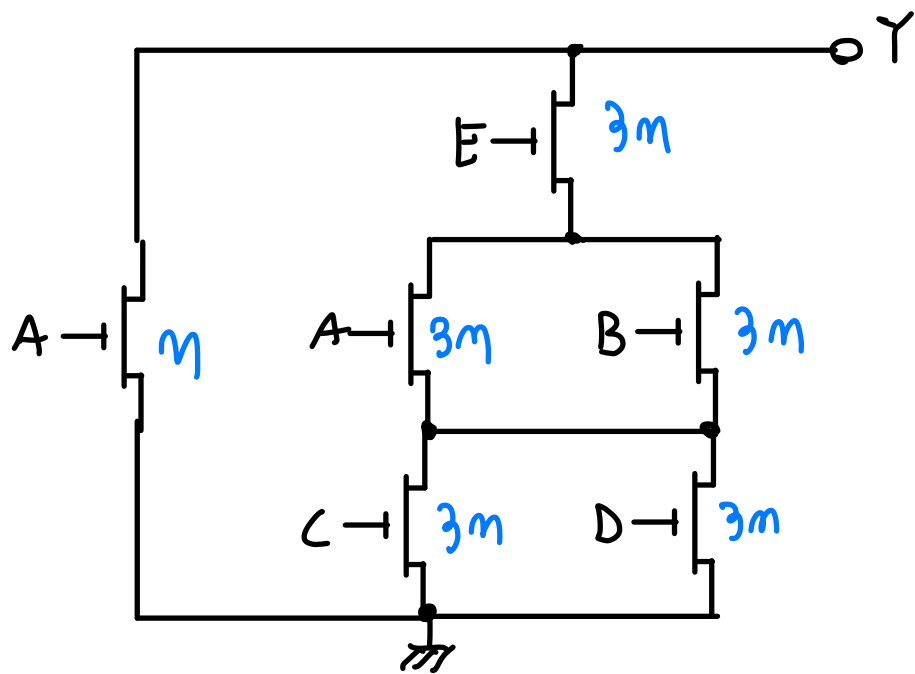
Esame 2018-02-15

Si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = A + E * (A + B)(C + D)$; si cerchi di minimizzare il numero di transistor utilizzati.

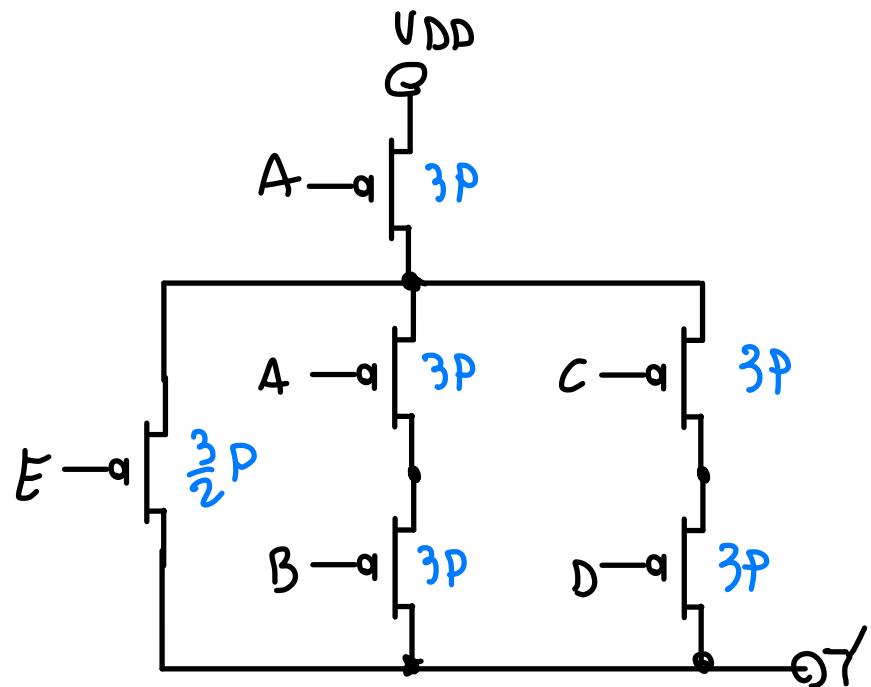
Per la porta logica disegnata, calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinché la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello di un inverter con rapporti di dimensioni $n = \frac{W_n}{L_n}$ e $p = \frac{W_p}{L_p}$; nel calcolo si cerchi di minimizzare l'area della porta stessa.

$$Y = \overline{A + E(A + B)(C + D)}$$

PULL-DOWN:



PULL-UP:

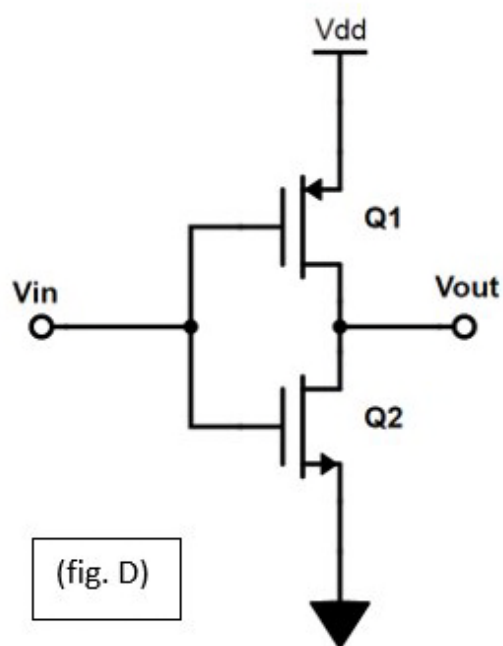


$$\frac{1}{3} + \frac{1}{E} = 1 \Rightarrow \frac{1}{E} = \frac{2}{3} \Rightarrow E = \frac{3}{2}$$

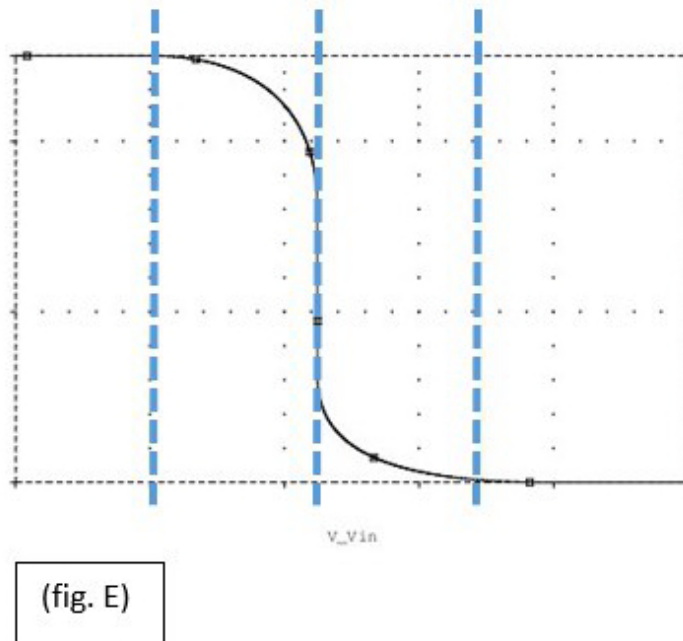
Esame 2018-06-19

Si consideri l'inverter riportato in figura D e la tecnologia 0.2 μm di seguito descritta.

- 1) usando come lunghezza di gate la dimensione minima L_{MIN} e come rapporto W/L per il transistor MOS a canale n il valore $n = W_n/L_n = 1.5$, si calcoli il valore del rapporto $p = W_p/L_p$ per il quale l'inverter è "bilanciato" (= per il quale la transizione 1 \rightarrow 0 avviene per $V_{\text{in}} = V_M = V_{\text{dd}}/2$).
- 2) Supponendo che al nodo di uscita (=tra V_{out} e massa) sia connessa una capacit  pari a C_{out} , si calcoli la potenza dinamica ad una frequenza di commutazione dell'uscita L-H-L di 200 MHz
- 3) Si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = A + B(C + D + E)$
- 4) Per la porta logica al punto 3, calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinch  la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello dell'inverter con rapporti di dimensioni $n = W_n/L_n$ e $p = W_p/L_p$ definito precedentemente
- 5) Nella caratteristica $V_{\text{out}}-V_{\text{in}}$ dell'inverter mostrata in Fig. E, identificare i valori di V_{in} evidenziati.



Tecnologia 0.2 μm
 $L_{\text{MIN}} = 0.2 \mu\text{m}$
 $V_{\text{dd}} = 1.2 \text{ V}$
 $W_n = 1.5 L_n$
 $\mu_n = 3 \mu_0$
 $V_{\text{tn}} = |V_{\text{tp}}| = 0.4 \text{ V}$
 $C_{\text{out}} = 5 \text{ fF} = 5 \cdot 10^{-15}$

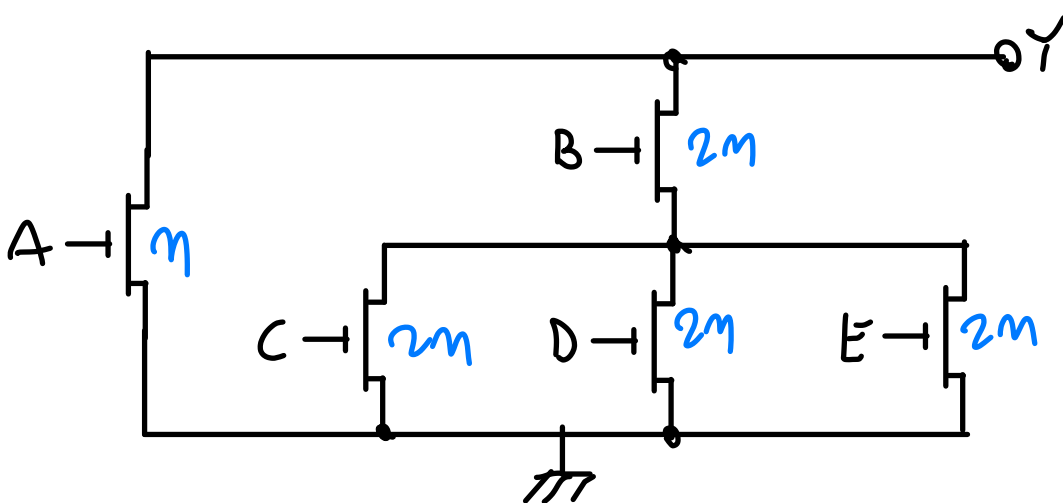


1) **INVERTER BILANCIATO:** $\mu_n C_{\text{ox}} \frac{W_n}{L_n} = \mu_p C_{\text{ox}} \frac{W_p}{L_p} \Rightarrow p = \frac{W_p}{L_p} = \frac{1.5 L_n}{L_n} \frac{3 \mu_p}{\mu_n} = 4.5$

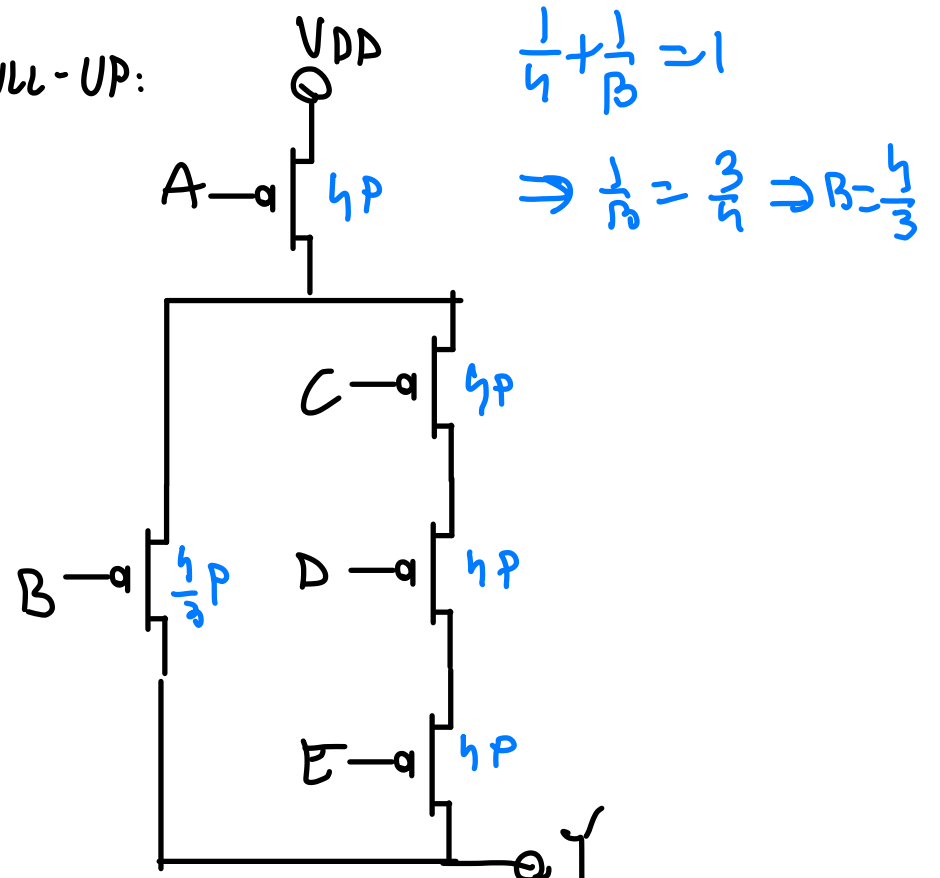
2) ENERGIA DISSIPATA L \rightarrow H = $\frac{1}{2} C_{\text{out}} V_{\text{DD}}^2$
 ENERGIA DISSIPATA H \rightarrow L = $\frac{1}{2} C_{\text{out}} V_{\text{DD}}^2$
 TOT ENERGIA DISSIPATA = $E_{L \rightarrow H} + E_{H \rightarrow L} = C_{\text{out}} V_{\text{DD}}^2$
 $P_{\text{DYN}} = f \cdot E_{\text{Tot}} = 1.44 \mu\text{W}$

3) $\bar{Y} = A + B(C + D + E)$

PULL DOWN:



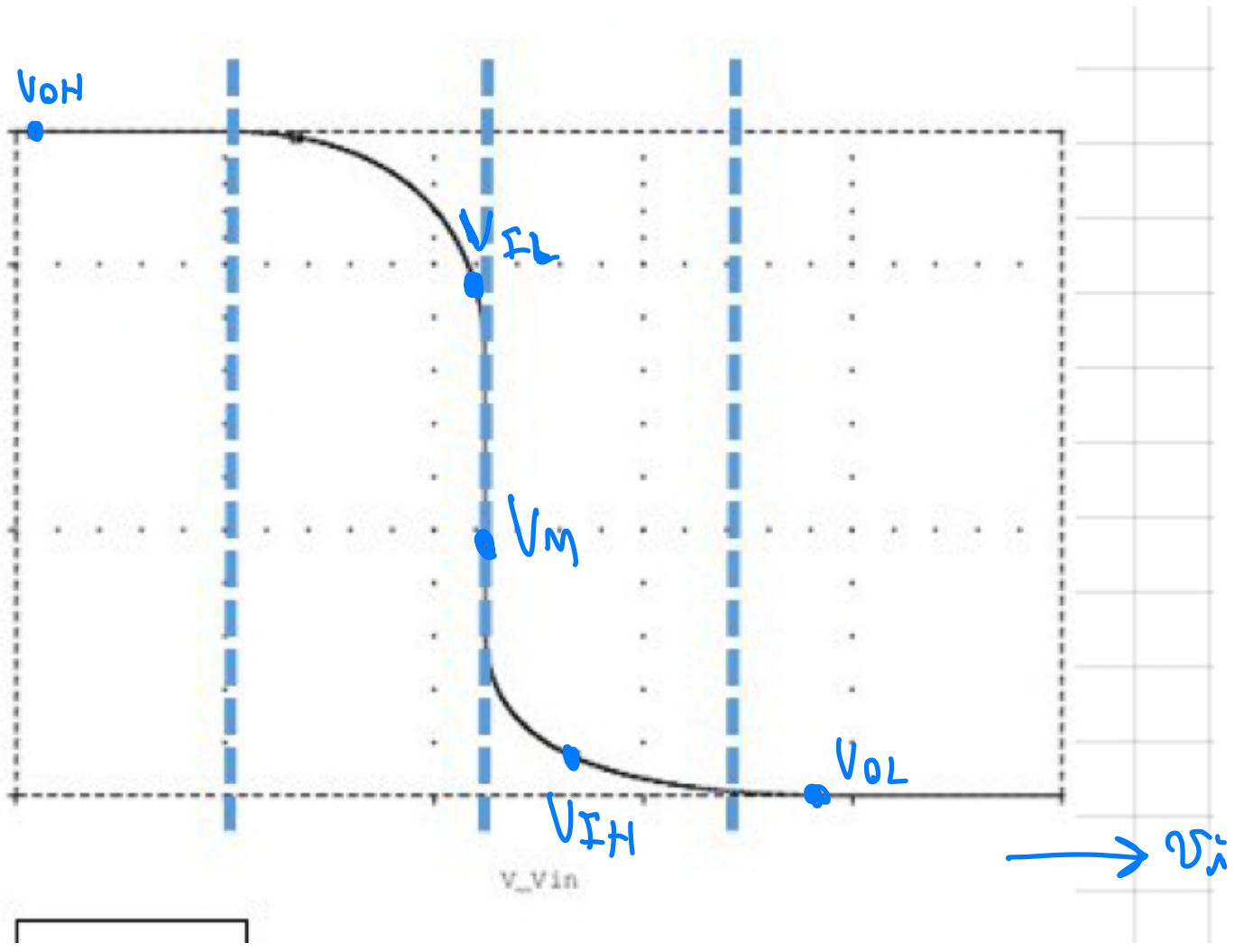
PULL-UP:



$\frac{1}{4} + \frac{1}{3} = 1$

$\Rightarrow \frac{1}{3} = \frac{3}{4} \Rightarrow B = \frac{4}{3}$

5) σ_0



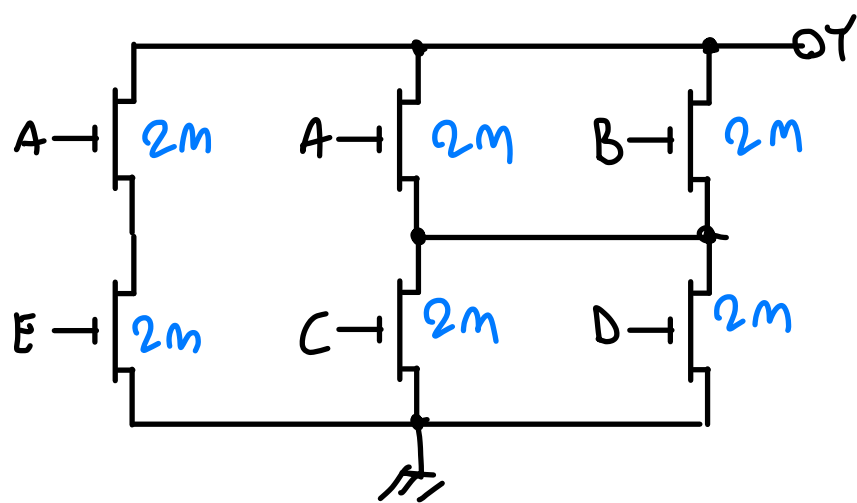
Esame 2018-07-04

Si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = A * E + (A + B)(C + D)$; si cerchi di minimizzare il numero di transistor utilizzati.

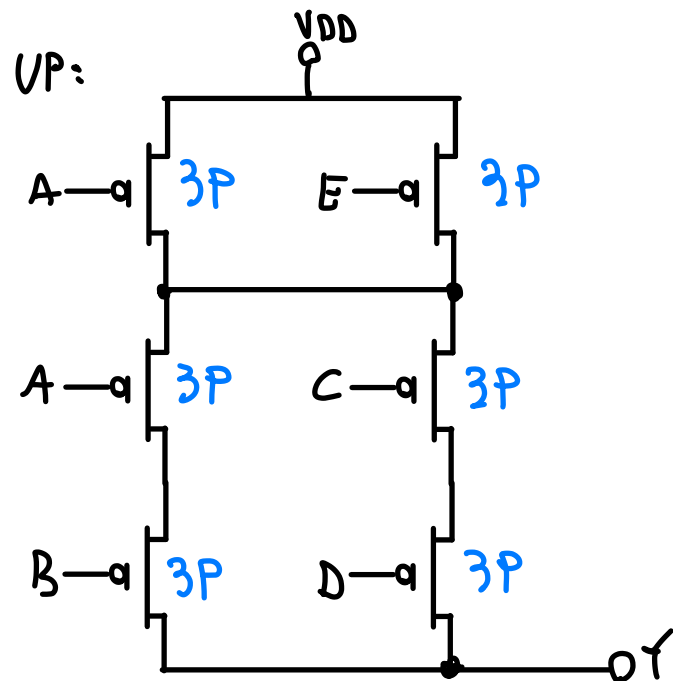
Per la porta logica disegnata calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinché la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello di un inverter con rapporti di dimensioni $n = W_n / L_n$ e $p = W_p / L_p$; nel calcolo si cerchi di minimizzare l'area della porta stessa.

$$Y = \overline{AE + (A+B)(C+D)}$$

PULL DOWN:



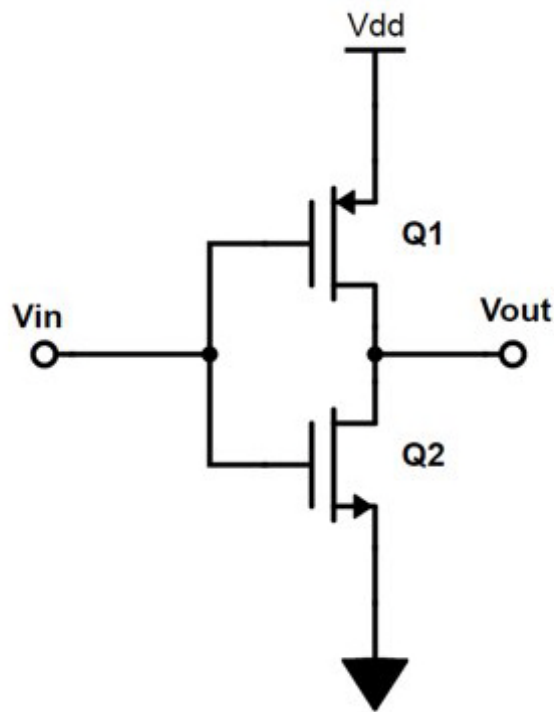
PULL-UP:



Esame 2018-07-04

Si consideri l'inverter riportato in figura A e la tecnologia 0.2 μm di seguito descritta.

- 1) usando come lunghezza di gate la dimensione minima L_{MIN} e come rapporto W/L per il transistor MOS a canale n il valore $n = W_n/L_n = 1.5$, si calcoli il valore del rapporto $p = W_p/L_p$ per il quale l'inverter è "bilanciato" (= per il quale la transizione 1 \rightarrow 0 avviene per $V_{\text{in}} = V_M = V_{\text{dd}}/2$).
- 2) Supponendo che al nodo di uscita (=tra V_{out} e massa) sia connessa una capacit  pari a C_{out} , si calcoli la potenza dinamica ad una frequenza di commutazione dell'uscita L-H-L di 200 MHz



Tecnologia 0.2 μm

$L_{\text{MIN}} = 0.2 \mu\text{m}$

$V_{\text{dd}} = 1.2 \text{ V}$

$W_n = 1.5 L_n$

$\mu_n = 4 \mu_p$

$V_{\text{tn}} = |V_{\text{tp}}| = 0.4 \text{ V}$

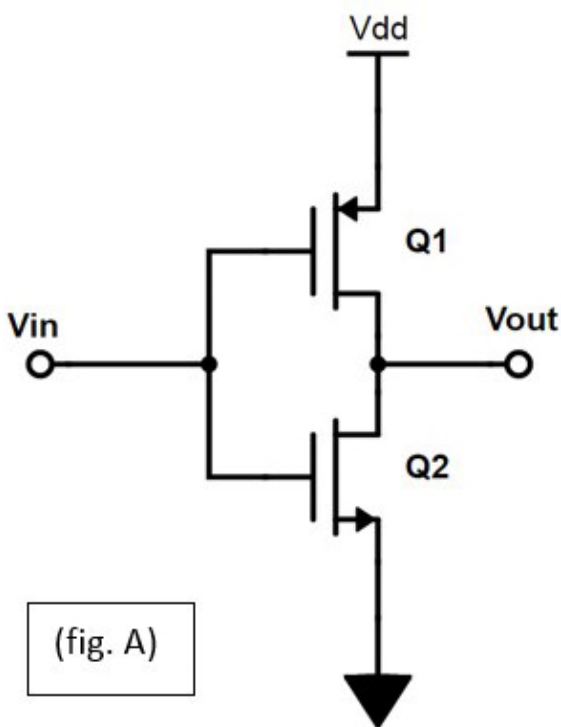
$C_{\text{out}} = 5 \text{ fF}$

COME 2018-06-19

Esame 2018-07-18

Si consideri l'inverter riportato in figura A e la tecnologia 0.2 μm di seguito descritta.

- 1) usando come lunghezza di gate la dimensione minima L_{MIN} e come rapporto W/L per il transistor MOS a canale n il valore $n = W_n/L_n = 1.5$, si calcoli il valore del rapporto $p = W_p/L_p$ per il quale l'inverter è "bilanciato" (= per il quale la transizione 1 \rightarrow 0 avviene per $V_{\text{in}} = V_M = V_{\text{dd}}/2$).
- 2) Supponendo che al nodo di uscita (=tra V_{out} e massa) sia connessa una capacità pari a C_{out} , si calcoli la potenza dinamica ad una frequenza di commutazione dell'uscita L-H-L di 200 MHz
- 3) Si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = (A+B)(C+DE)$
- 4) Per la porta logica al punto 3, calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinché la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello dell'inverter con rapporti di dimensioni $n = W_n/L_n$ e $p = W_p/L_p$ definito precedentemente



Tecnologia 0.2 μm

$L_{\text{MIN}} = 0.2 \mu\text{m}$

$V_{\text{dd}} = 1.5 \text{ V}$

$W_n = 1.5 L_n$

$\mu_n = 4 \mu\text{p}$

$V_{\text{tn}} = |V_{\text{tp}}| = 0.5 \text{ V}$

$C_{\text{out}} = 10 \text{ fF}$

(fig. A)

1) INVERTER BILANCIATO: $\mu_n \cancel{C_{\text{ox}}} \frac{W_n}{L_n} = \mu_p \cancel{C_{\text{ox}}} \frac{W_p}{L_p} \Rightarrow p = W_p/L_p = \frac{\mu_n}{\mu_p} \cdot \frac{1.5 L_n}{L_n} = 6$

2) ENERGIA DISSIPATA L \rightarrow H = $\frac{1}{2} C_{\text{out}} V_{\text{DD}}^2$

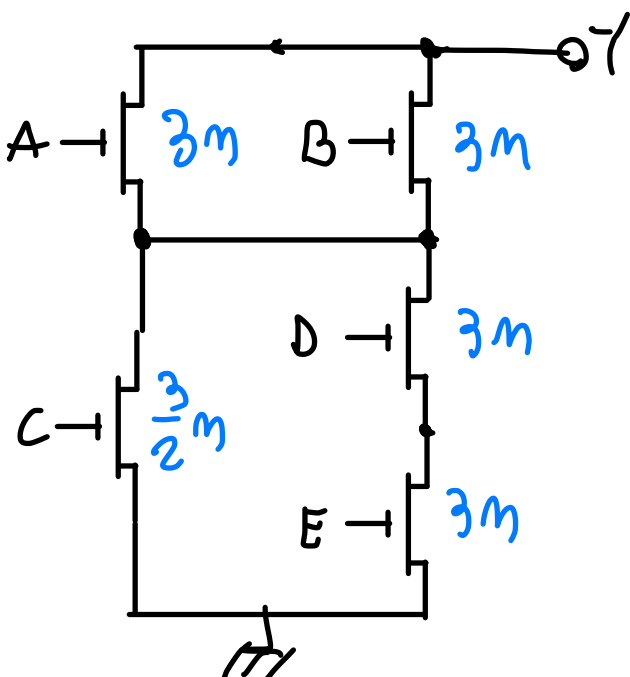
ENERGIA DISSIPATA H \rightarrow L = $\frac{1}{2} C_{\text{out}} V_{\text{DD}}^2$

TOT ENERGIA DISSIPATA = $E_{L\rightarrow H} + E_{H\rightarrow L} = C_{\text{out}} V_{\text{DD}}^2$

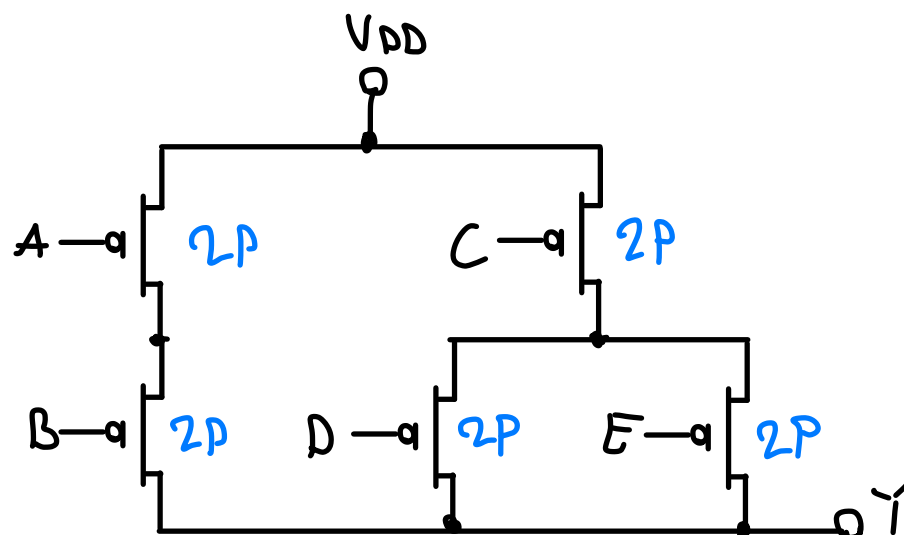
$P_{\text{DYN}} = f \cdot E_{\text{TOT}} = 4.5 \mu\text{W}$

3-4) $Y = \overline{(A+B) \cdot (C+D \cdot E)}$

PULL DOWN:



PULLUP:



Esame 2018-09-17

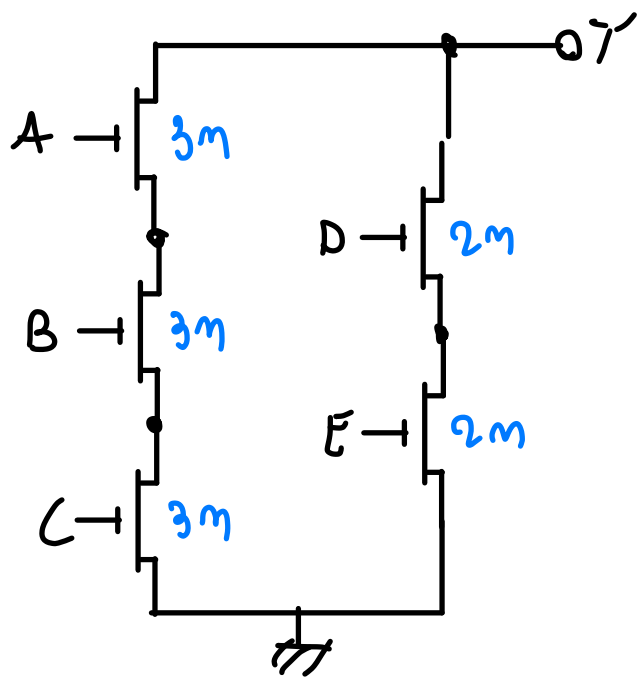
(a) Disegnare il circuito CMOS di una porta logica a cinque ingressi A, B, C, D, E che realizza la funzione logica $\text{NOT}(Y) = (ABC) + (DE)$.

(b) Sotto l'ipotesi che valga $|k_n/k_p| = 3$, e che il transistor nMOS dell'inverter di riferimento abbia $W/L = 5$, dimensionare il valore di W/L di tutti i transistor

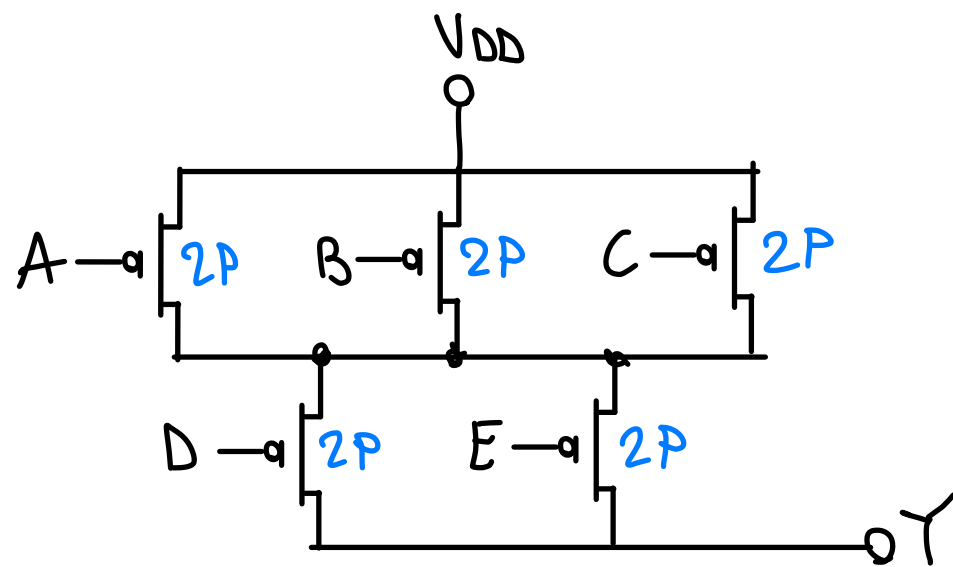
3?

$$Y = \overline{ABC + DE}$$

PULL DOWN:



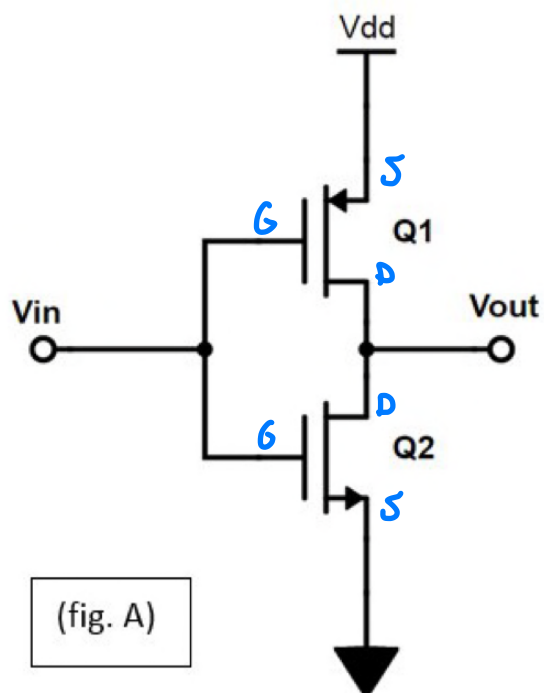
PULL-UP:



Esame 2019-01-30

(a) disegnare il circuito di un inverter CMOS identificando i terminali di source dei transistor n e p; (c) supponendo che le caratteristiche dei transistor siano le seguenti: $L_{gate} = 0.2 \mu m$, $V_{DD} = 1.5 V$, $W_n = 1 \mu m$, $W_p = 3 \mu m$; $V_{Tn} = -V_{Tp} = 0.5 V$, dire per quale valore della tensione di ingresso avviene la commutazione 1 \rightarrow 0 in uscita; (d) se tra l'uscita e massa è connessa una capacità pari a 8 fF, e la frequenza di commutazione del nodo di uscita è pari a 250 MHz, quanto vale la potenza dinamica dissipata? (e) si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = \text{NOT}(Y) = A + B(C + D)$; per la porta logica al punto (e), calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinché la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello dell'inverter definito precedentemente.

A-D)



$$V_{IH} = \frac{1}{8} (5 \cdot V_{DD} - 2 \cdot V_t) = 0.8125 V$$

$$V_{IL} = \frac{1}{8} (3 \cdot V_{DD} + 2 \cdot V_t) = 1.0625 V$$

$$P_{DYN} = C_{out} \cdot f \cdot V_{DD}^2 = 4.5 \mu W$$

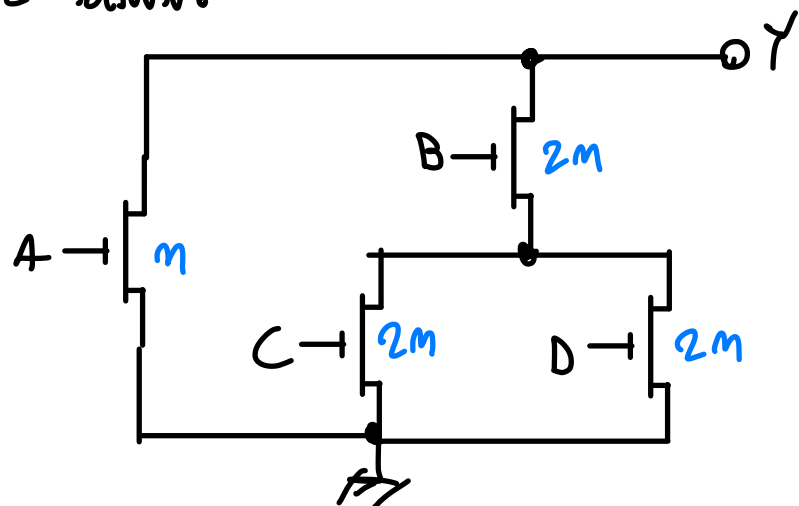
$$n = W_n / L_n = 5$$

$$p = W_p / L_p = 15$$

E)

$$Y = \overline{A + B(C + D)}$$

PULL-DOWN:



PULL-UP:

